**4. Структурная схема ЦОУ**

Структурная схема ЦОУ представлена на чертеже 2011.М41д.21.02.

На структурной схеме представлены следующие основные элементы:

1. **Устройство управления** (**УУ**) ЦОУ - это блок, обеспечивающий выработку необходимых последовательностей управляющих сигналов {y:: y1…y46}, причем, генерируемые управляющим автоматом последовательности управляющих сигналов предопределяются поступающими на вход этого устройства осведомительными сигналами {x:: x1…x24} из операционного устройства, несущими информацию об особенностях реализации каждой микрооперации.
2. **Арифметико-логическое устройство (АЛУ)** – главный элемент процессорного блока. Двуместные операции в АЛУ выполняются над операндами, хранящимися в регистрах Р1(0:63) (первый операнд) и Р2(0:63) (второй операнд) – их разрядность выбрана таким образом, чтобы обеспечить выполнение операций над заданными форматами данных. Результат выполненной операции помещается в Р1.

Каждая операция АЛУ инициируется своим управляющим сигналом, поступающим на вход устройства управления (УУ): СлПТ – операция сложения 64-битных чисел с плавающей точкой, СдвВпр – операция двойного сдвига вправо.

АЛУ вырабатывает три группы осведомительных сигналов: признаки результата (=0 – мантисса результата равна 0; <0 – отрицательный результат; >0 – положительный результат; ПП – переполнение порядка), флаги прерываний (ПП – переполнение порядка; ИП – исчезновение порядка; ПЗ – потеря значимости) и признак занятости (ZАЛУ).

1. **Регистр признака результата (РПр)** – хранит снятый с 4 разрядов шины АЛУ (**ШАЛУ**) и закодированный с помощью шифратора **CD** 2-битный код признака результата арифметической операции. При выполнении команды условного перехода по маске признак результата с РПр сравнивается с маской на схеме сравнения (**СС**), которая вырабатывает осведомительный сигнал при их соответствии.
2. **Регистр флагов (РФ) –** представляет собой регистр, состоящий из 5 триггеров-флагов. Содержит следующие флаги: **ПП** – флаг переполнения порядка; **ИП** – флаг исчезновения порядка; **ПЗ** – флаг потери значимости (эти флаги устанавливаются при прерываниях АЛУ); **S** – флаг прерывания «Нарушение спецификации»; **K** – флаг прерывания «Неизвестная команда».
3. **Оперативная память (ОП)** хранит программы и данные. Ее объем составляет 512 Мб. Первые 1024 байта (1Кбайт) выделены под блок косвенных адресов.

Разрядность шины выборки (ШВ) равна 4 байта – разрядность слова ОП. Отсюда следует, что разрядность регистра слова ОП (РСОП) – 4 байта, а разрядность регистра адреса ОП (РАОП) – 29-2 = 27 бит. Обращение к РСОП осуществляется через Порт Д, а к РАОП – через Порт А.

На вход ОП поступают сигналы, инициирующие следующие операции: чтение из ОП (ЧтОП), запись в ОП (ЗпОП). ОП вырабатывает один осведомительный сигнал – признак занятости (ZОП).

1. **Модуль ввода-вывода (МВВ)** служит для обмена данными между процессором и внешними устройствами. Организация ввода-вывода осуществляется по принципу программного управления, т.е. по инициативе процессора и под его полным контролем. Для задания номера устройства ввода-вывода (**НУВВ**) используется специальный 8-разрядный регистр, что позволяет обращаться к одному из 256 устройств. Ввод-вывод данных для внешних устройств осуществляется с помощью 32-битного регистра данных (**Д**). Обращение к Д осуществляется через Порт Д, а к НУВВ – через Порт А.

На МВВ подается управляющий сигнал чтения (Чт). МВВ формирует осведомительный сигнал занятости - (Zвв).

1. **Порт А** – порт адреса процессора, предназначен для хранения адреса ОП и номера устройства МВВ при обмене данными. Имеет разрядность 27 бит, что позволяет адресовать 227 слов ОП. Реализован в виде реверсивного счетчика, что позволяет легко выполнять операции инкрементирования и декрементирования адреса при считывании-записи данных, превышающих разрядность ШВ (в соседних адресах ОП).
2. **Порт Д** – порт данных процессора. Служит для обмена данными между процессором и ОП, МУВВ. Имеет разрядность, равную разрядности ШВ – 32 бита.
3. **Регистровая память (РП)** организуется как сверхоперативная память с прямой адресацией. РП допускает выборку слова в течение одного такта.

Объем РП – 32 регистра. Тип РП – универсальная: один блок как для регистров общего назначения (РОН), так и для регистров, предназначенных для хранения чисел в формате с плавающей точкой РПТ. Половина (16 регистров) РП отводится под РПОН, вторая – под РППТ. Отсюда следует, что разрядность регистра адреса РП (**РАРП**) должна быть ⎡log2(32)⎤ = 5 бит, при чем для адресации РПОН в старшем разряде указывается 0, РППТ – 1. Разрядность регистра слова РП (**РСРП**), как и разрядность одного регистра, определяется разрядностью машинного слова, т.е. равна 4 байта.

На входы РП поступают сигналы, инициирующие следующие операции: запись в РП (ЗпРП), чтение из РП (ЧтРП).

1. **Регистр команд (РК)** – хранит текущую команду в соответствии с разработанными форматами команд. На РК выбирается из ОП команда, подлежащая исполнению. Разрядность РК определяется максимальной длиной формата команды – 32 разряда.

Тип операции определяется ее кодом (КОП) - первым байтом регистра в соответствии с разработанными форматами команд при декодировании на дешифраторе **DC**.

1. **Буферный регистр (БР)** вводится в схему с целью уменьшения числа обращений к ОП (долгосрочная операция) в процессе выборки команды. Имеет разрядность 16 бит – разница между разрядностью выборки и минимальной длиной команды.
2. **Счетчик адреса команды (СчАК)** - предназначен для хранения адреса очередной выбираемой из ОП команды. Обеспечивает адресацию к любому байту ОП. Его разрядность определяется как ⎡log2EОП⎤ = ⎡log2512⎤ = 29 бит. При этом, младшие k = ⎡log2ШВ⎤ = ⎡log24⎤ =2 бита определяют адрес байта в слове, а старшие 27 разрядов – адрес слова ОП.
3. **Триггер перехода (ТП)** устанавливается в 1 в случае формирования адреса перехода при исполнении команды передачи управления и сбрасывается в нулевое состояние, если исполняемая команда относится к другой группе. Учет состояния ТП требуется при выборке команд из ОП.

Помимо основных блоков на структурной схеме ЦОУ показаны микрооперации обмена данными между ними, установки и сброса определенных разрядов в них и т.д. Все микрооперации инициируются управляющими сигналами *{y}* (y1-y45). Также на схеме показаны сформированные на блоках осведомительные сигналы *{x}* (x1-x24).